

4H-SiC接合基板上に形成された4H-SiC PiNダイオードの順方向バイアス劣化評価

Evaluation of Forward Bias Degradation in 4H-SiC PiN Diodes

Fabricated on 4H-SiC Bonded Substrates

小林元樹¹, 内田英次¹, 八田直記^{1,2}, 石川誠治², 大藁国栄²,

升本恵子², 栗原俊介³, 原田信介², 児島一聡²

¹サイコックス, ²産業技術総合研究所, ³フェニテックセミコンダクター

II B-12

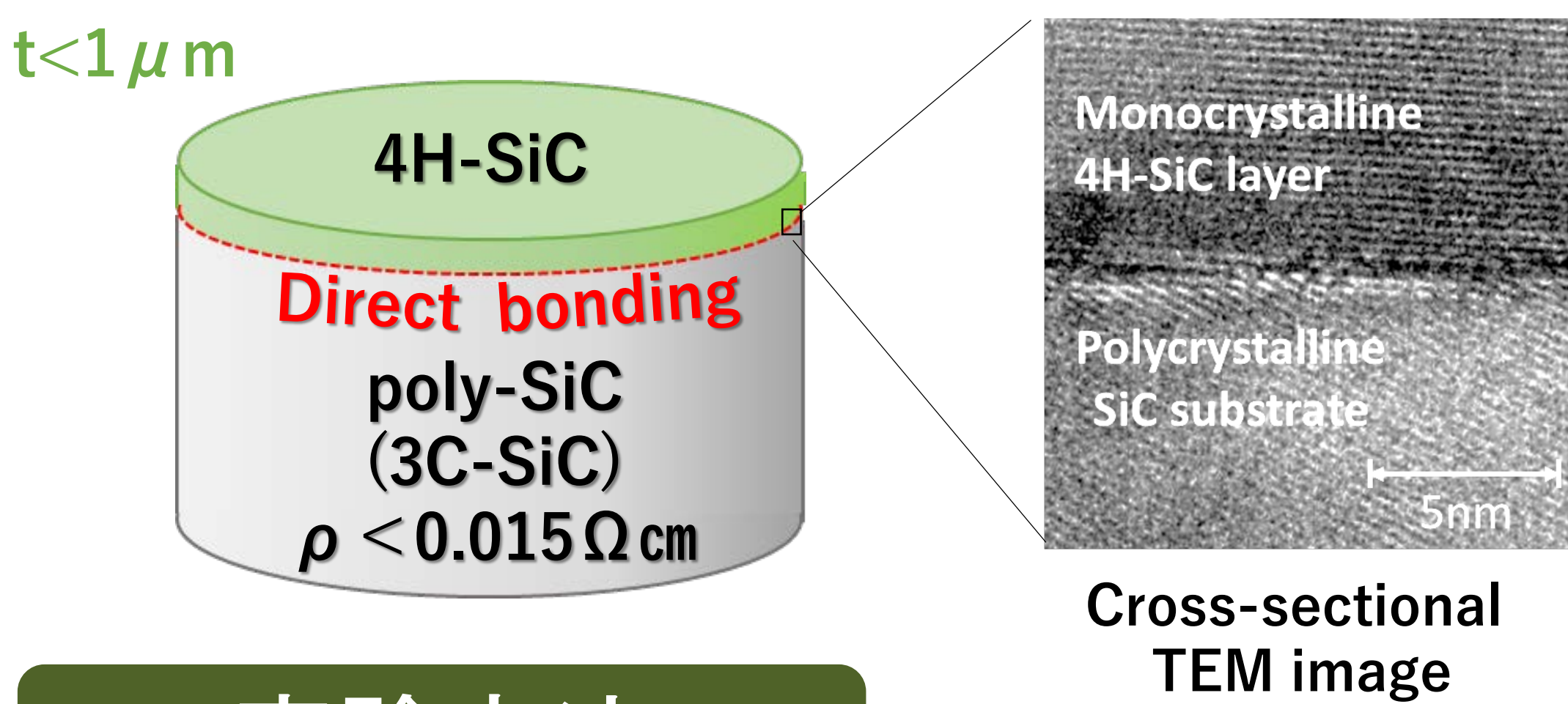
結論

■ 貼り合わせ基板を使用したPiNダイオードに見られた順方向バイアス劣化抑制が、使用した単結晶品質の違いにも、エピ層品質の違いにもよらずに発現することを確認した ⇒ 順方向バイアス劣化抑制は、貼り合わせ基板自身に主要因があることを示唆

■ 順方向バイアス劣化で拡張したBar型1SSFのTEM観察を実施し、貼り合わせ単結晶層内で1SSFが拡張しない現象を確認

貼り合わせ基板

4H-SiC 貼り合わせ基板(SiCkrest®)



特長

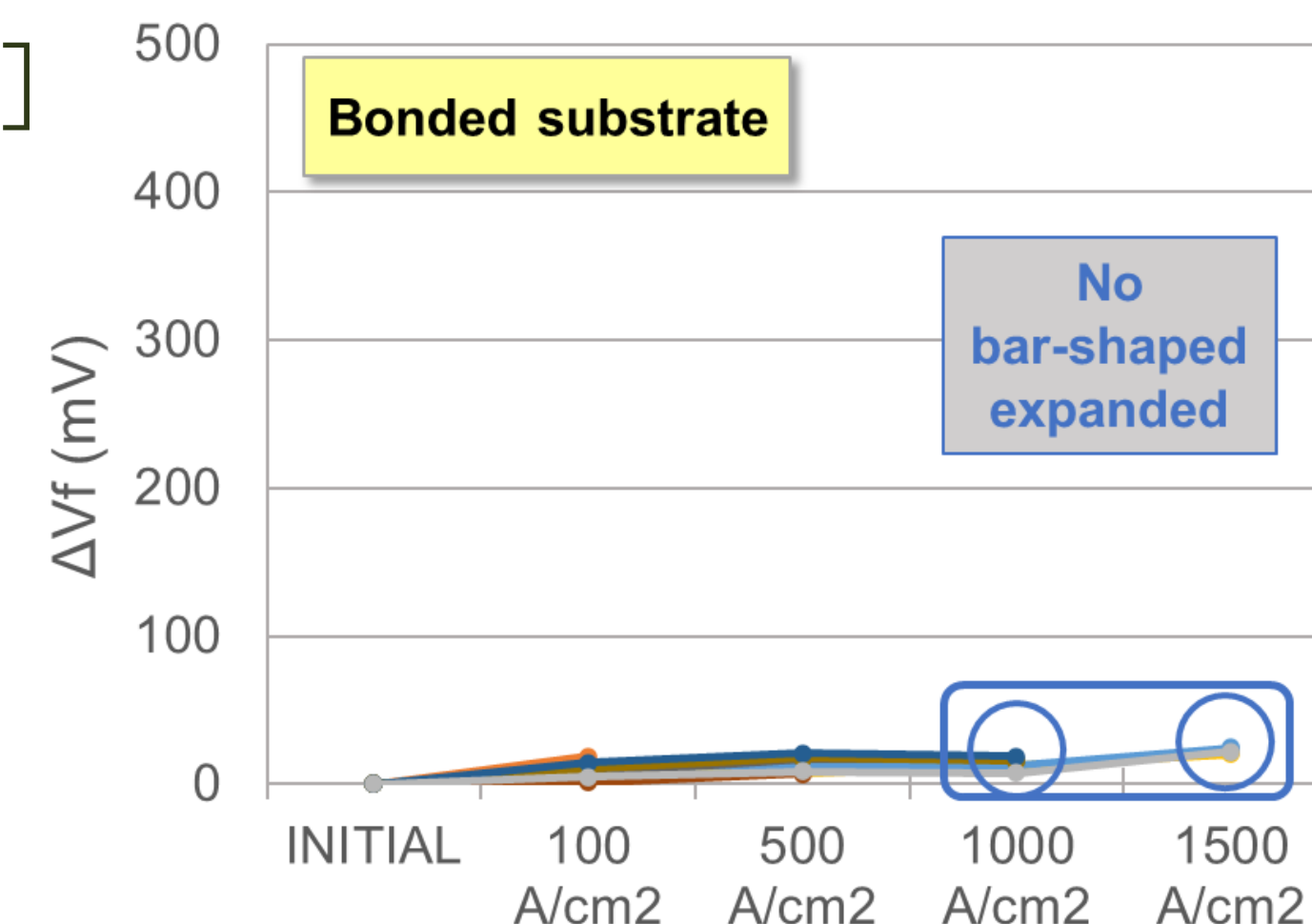
大電流密度パワーデバイスへの適用に有効

- ・単結晶基板と比べPiNダイオードのオン抵抗を低減 [1]
- ・アニールなしで裏面オーミックコンタクトが形成可能 [2]
- ・バイポーラ動作時の順方向バイアス劣化を低減 [3]

本研究の目的

貼り合わせ基板にはPiNダイオードの順方向バイアス劣化抑制効果があることを報告した [3]

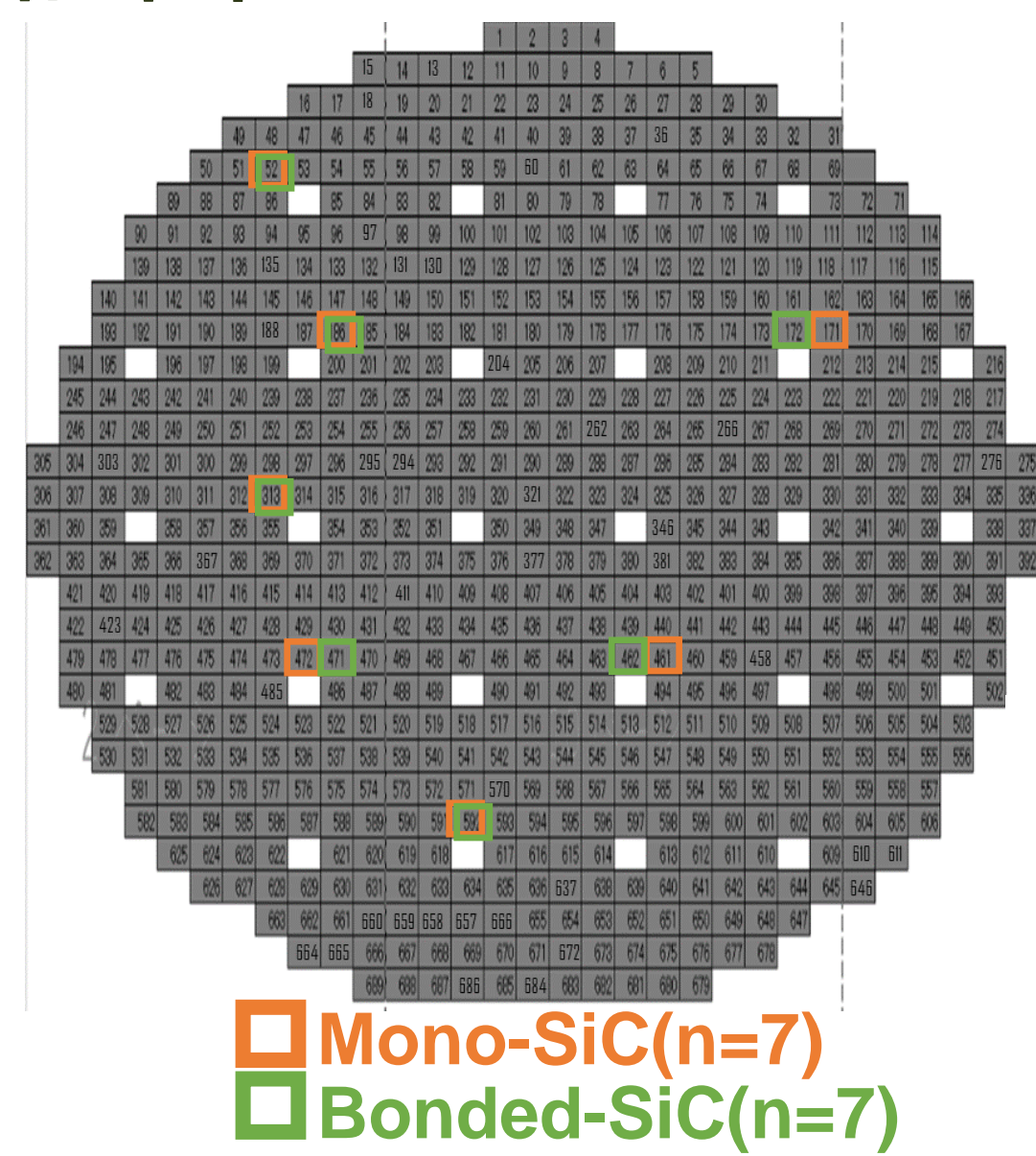
今回はその主要因を探るため、基板品質・エピ層トラップ密度影響、1SSF拡張の様子を評価した



実験方法

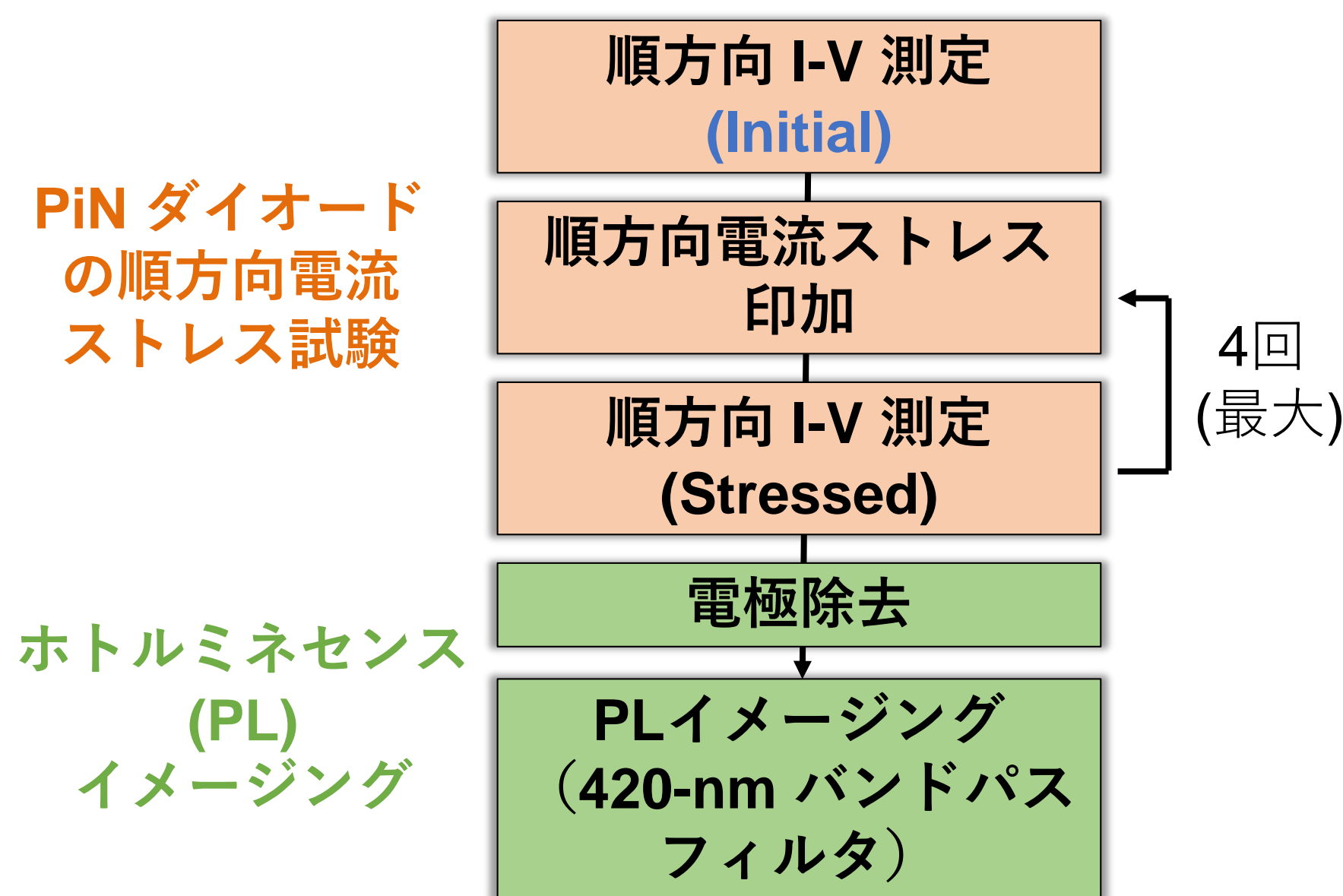
■ PiNダイオードの構造および面内位置

$3 \times 10^{20} \text{ cm}^{-3} / 0.3 \mu\text{m}$	p+層
$1 \times 10^{16} \text{ cm}^{-3} / 10 \mu\text{m}$	n-ドリフト層
n+バッファ層	
4H-SiC substrate (Bulk or Bonded)	



使用した単結晶品質の違いの影響を排除するため
同一単結晶の同一位置を比較

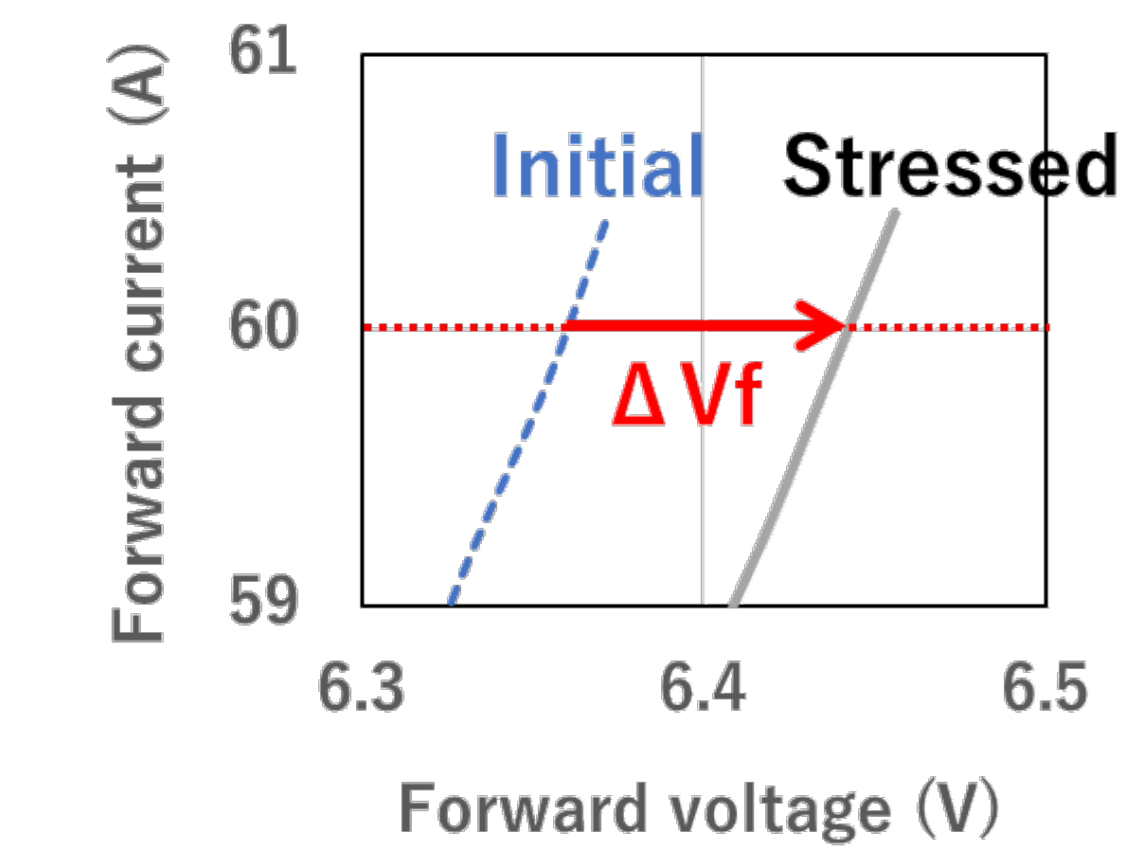
■ 順方向バイアス劣化の測定方法



順方向電流ストレス条件

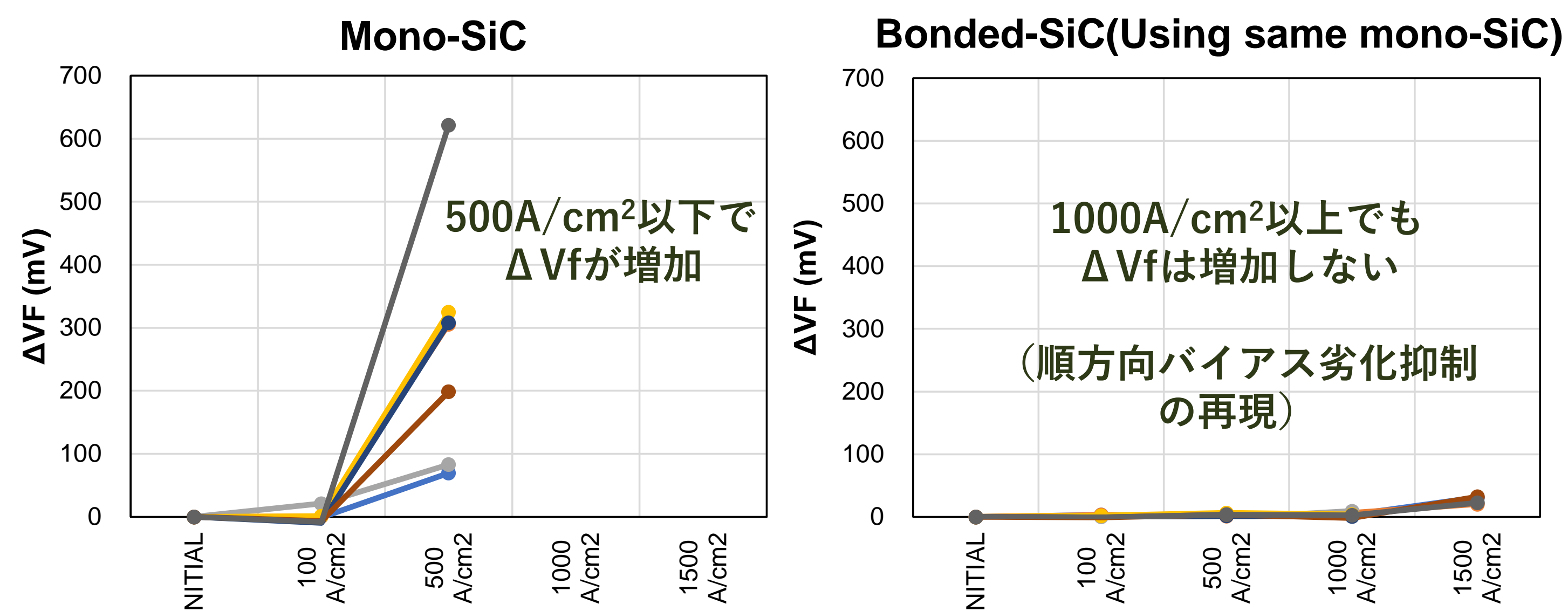
- ・温度: 175 °C
- ・順方向電流密度:
 - 1st 100 A/cm² for 600 sec (DC)
 - 2nd 500 A/cm² for 300 sec (Pulsed)
 - 3rd 1000 A/cm² for 300 sec (Pulsed)
 - 4th 1500 A/cm² for 300 sec (Pulsed)

順方向電圧シフト量(ΔVf)



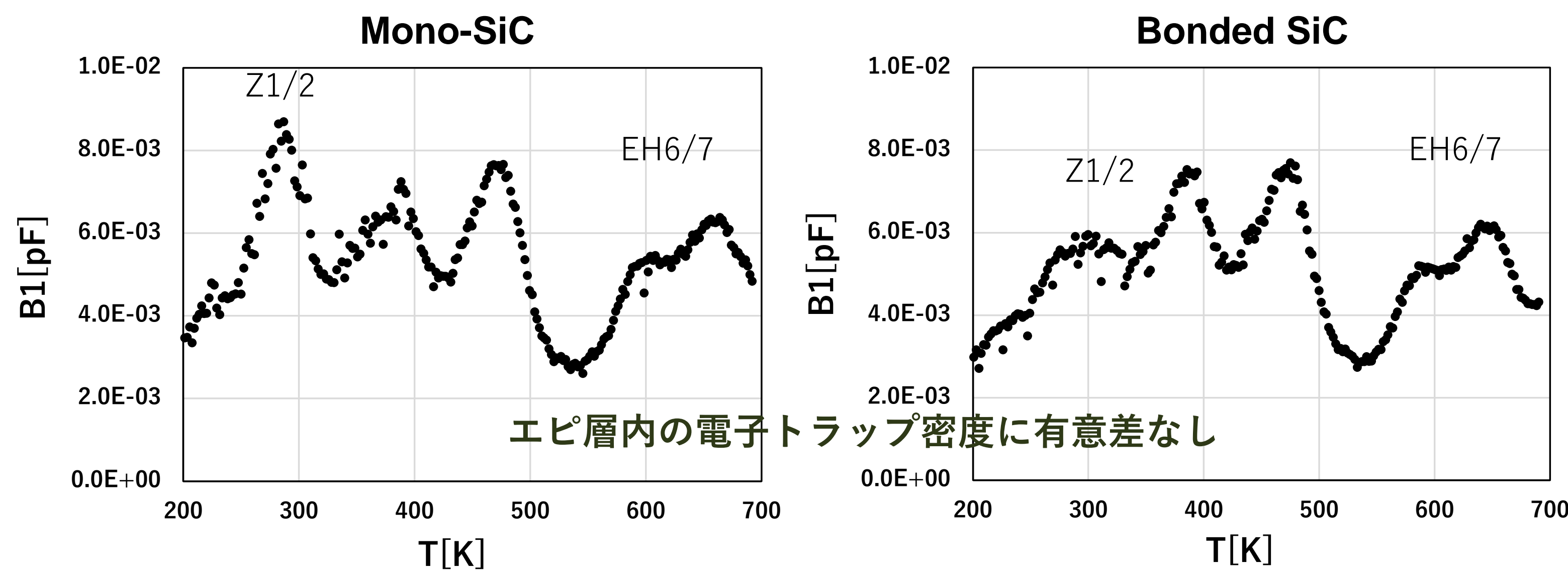
実験結果

■ PiNダイオードの通電試験 (同一品質の単結晶を使用した比較)



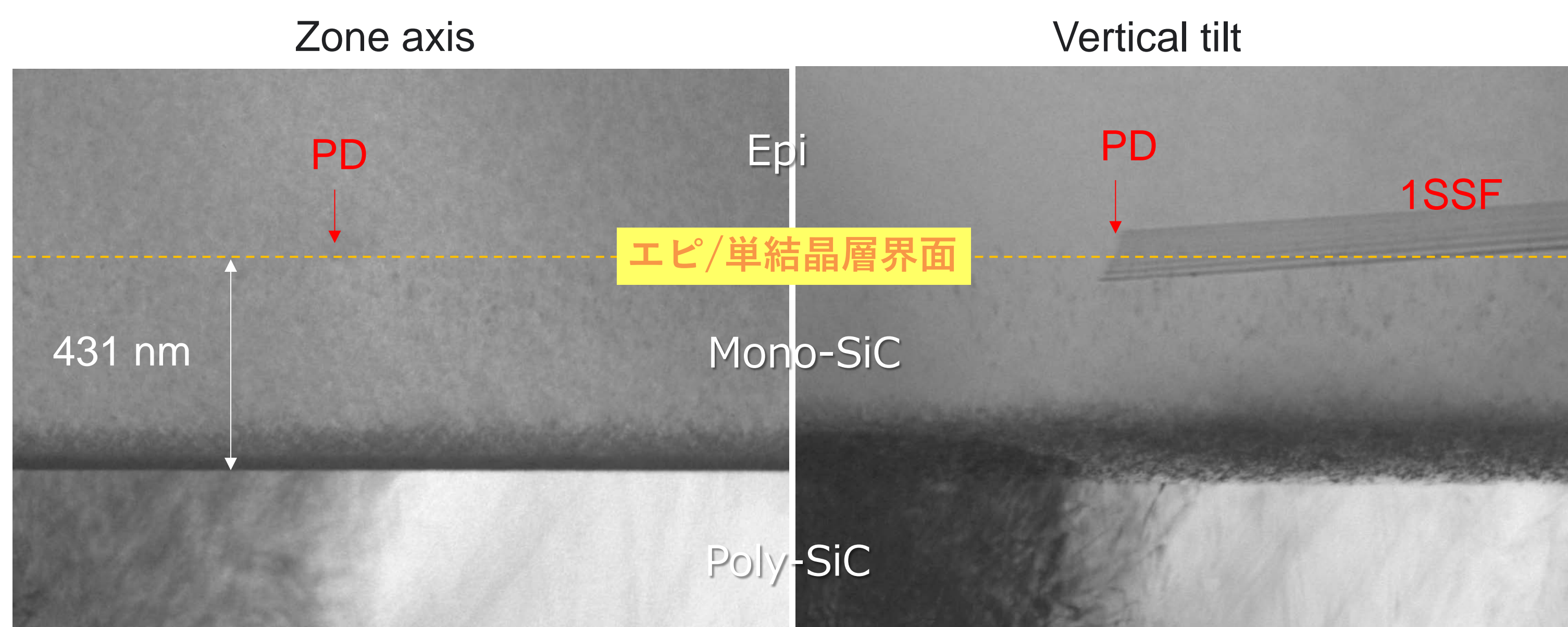
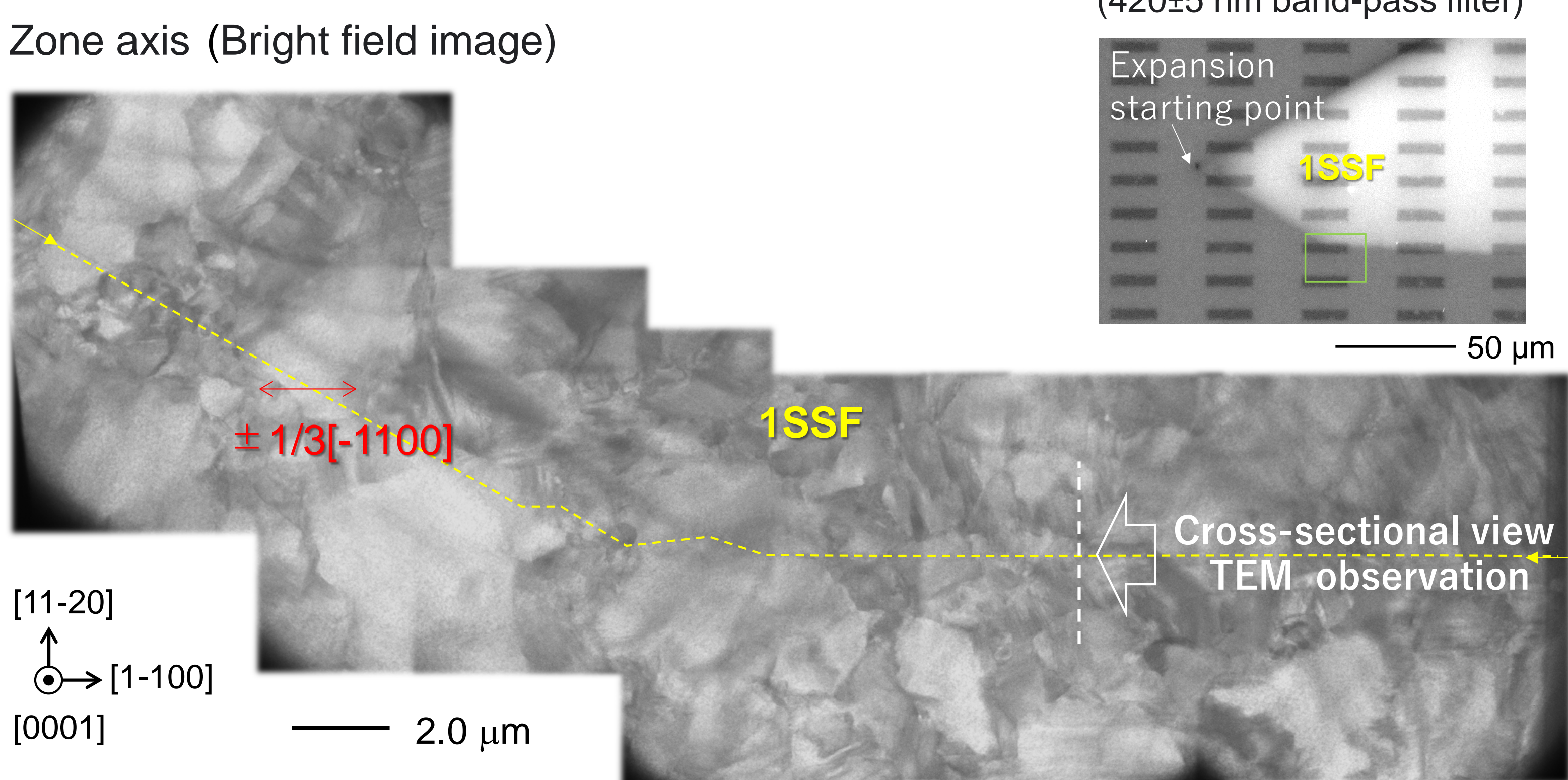
貼り合わせ基板における順方向バイアス劣化抑制は
使用した単結晶品質の違いによるものではない

■ DLTS測定 (エピ層内の電子トラップ密度の比較)



貼り合わせ基板における順方向バイアス劣化抑制は
エピ層内の電子トラップ(≒再結合中心)密度の違いによるものではない

■ Bar型1SSFの平面および断面TEM像



エピ層内で拡張した1SSFはエピ/単結晶層界面で停止
→ 貼り合わせ単結晶層内で1SSFが拡張しない
(注入ダメージを想定)

謝辞 本研究はつくばパワーエレクトロニクスコンステレーションズ (TPEC) の共同研究プロジェクト下で実施された

References :

- [1] T. Shimono et al., I B-18, abstract of the 7th Meeting on Advanced Power Semiconductors, Japan, 2020
- [2] S. Ishikawa et al., I B-17, abstract of the 7th Meeting on Advanced Power Semiconductors, Japan, 2020
- [3] N. Hatta et al., proceedings of ICSCRM, (2022) (to be published)

