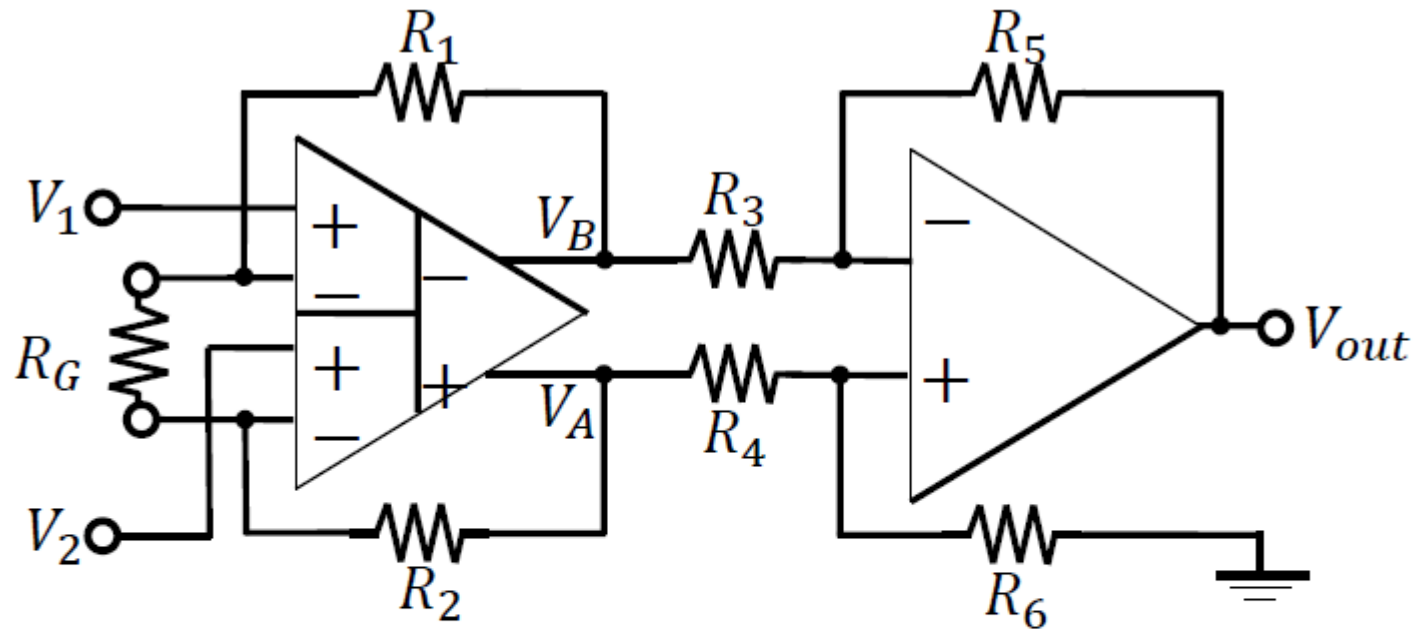


FBDDAを用いた高CMRRを有する計装アンプの設計

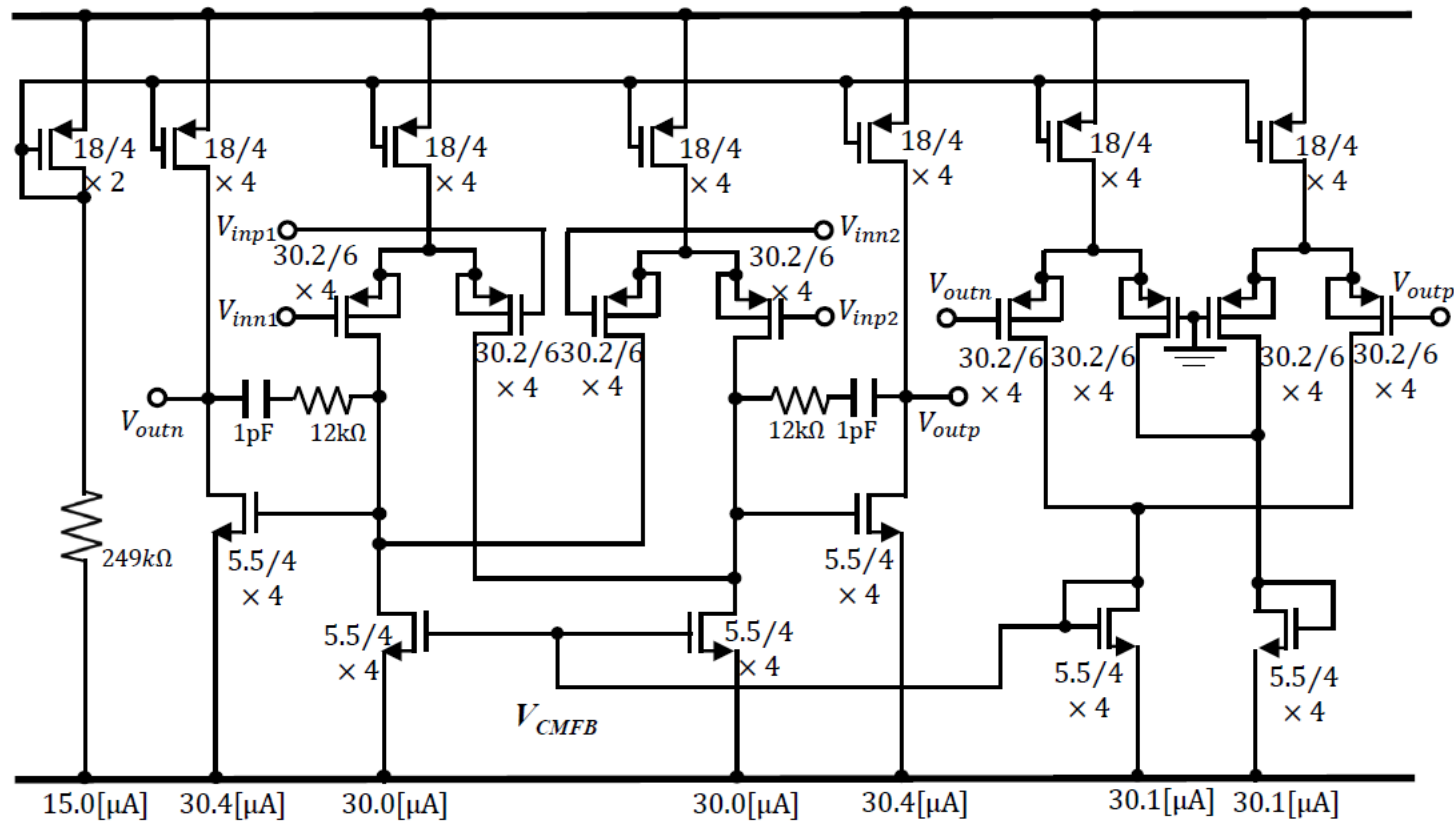
目的: 本試験では、抵抗ばらつきがあった場合でも高いCMRRを保つ計装アンプを実装する。提案するアーキテクチャでは、前段にFBDDAを使用することで高CMRRを実現している。本試作を通して、提案回路の有用性を確認する。

回路图

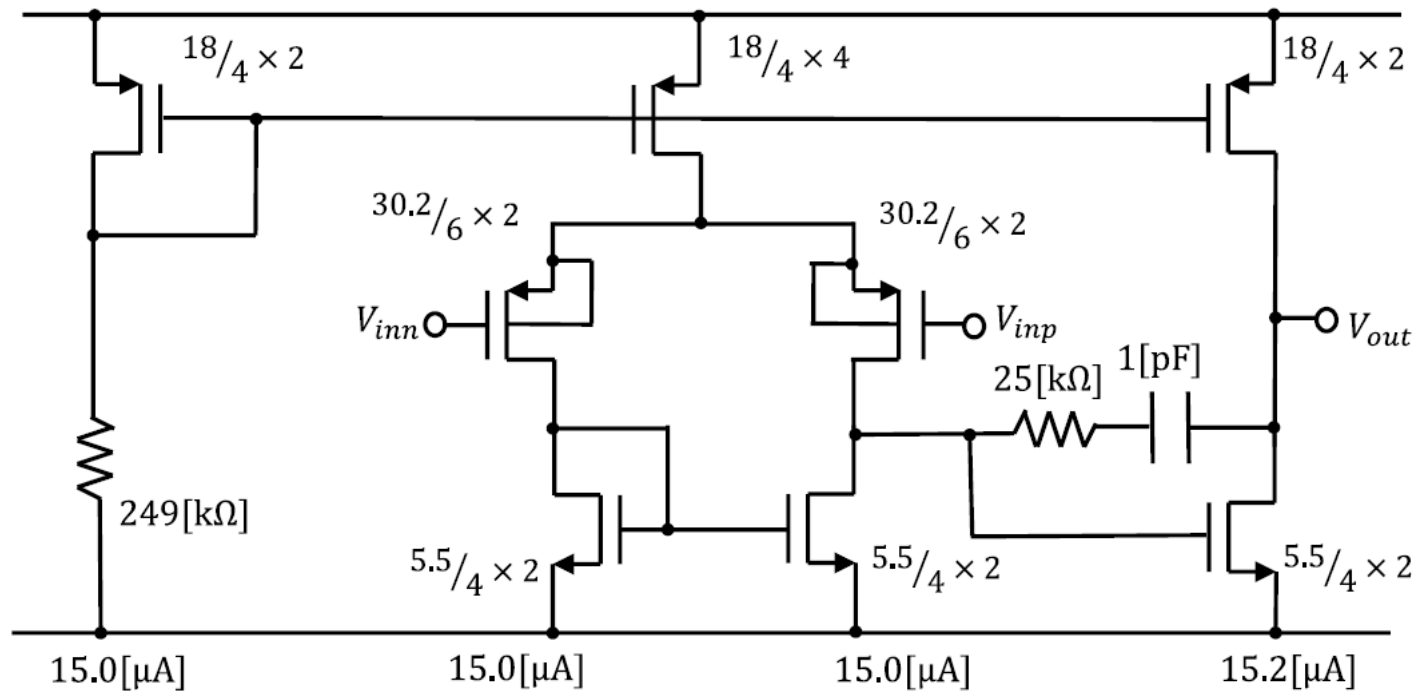


$$V_{out} = \frac{R_5}{R_3} \left(1 + \frac{2R_1}{R_G} \right) (V_1 - V_2)$$

回路図



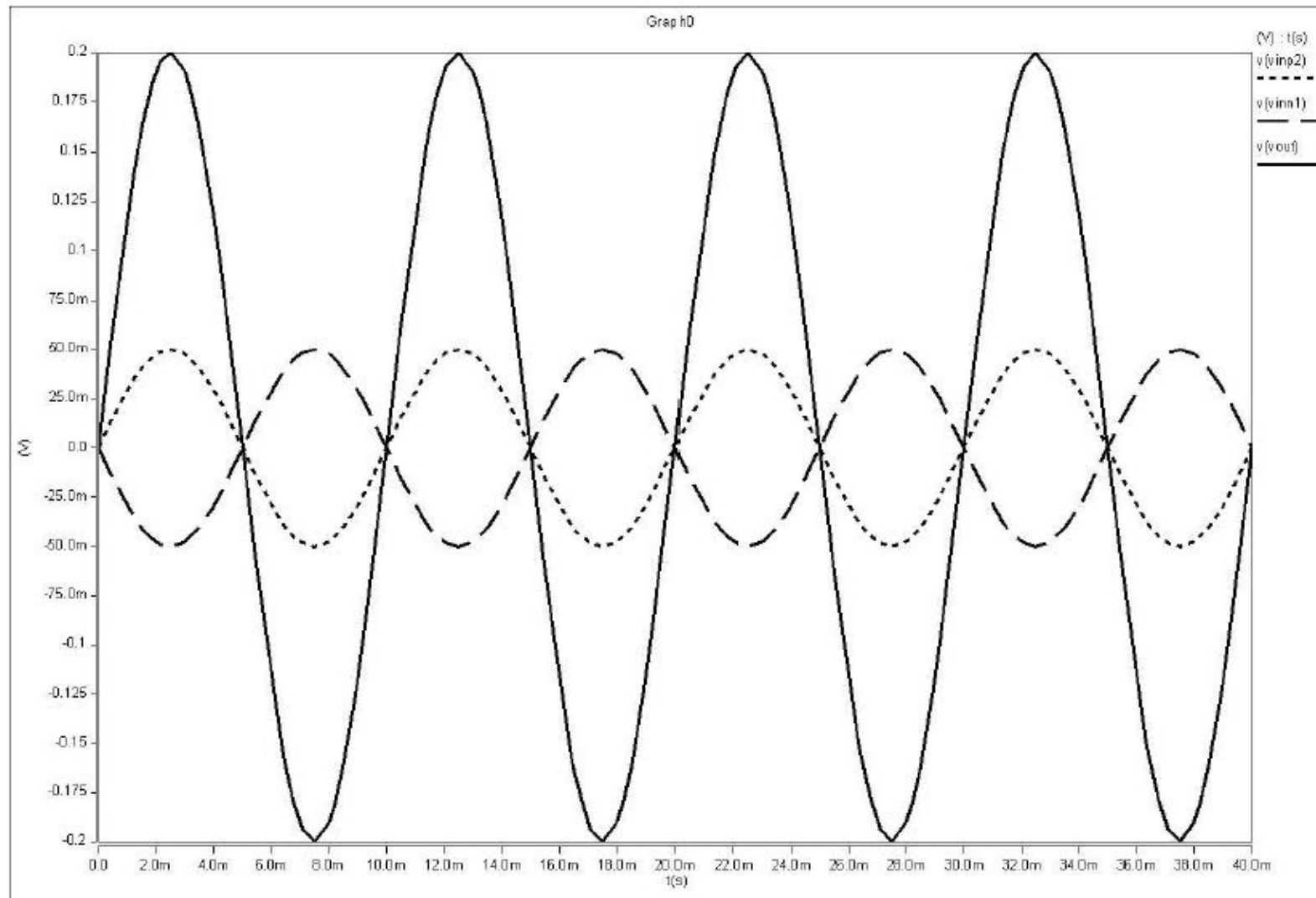
回路図



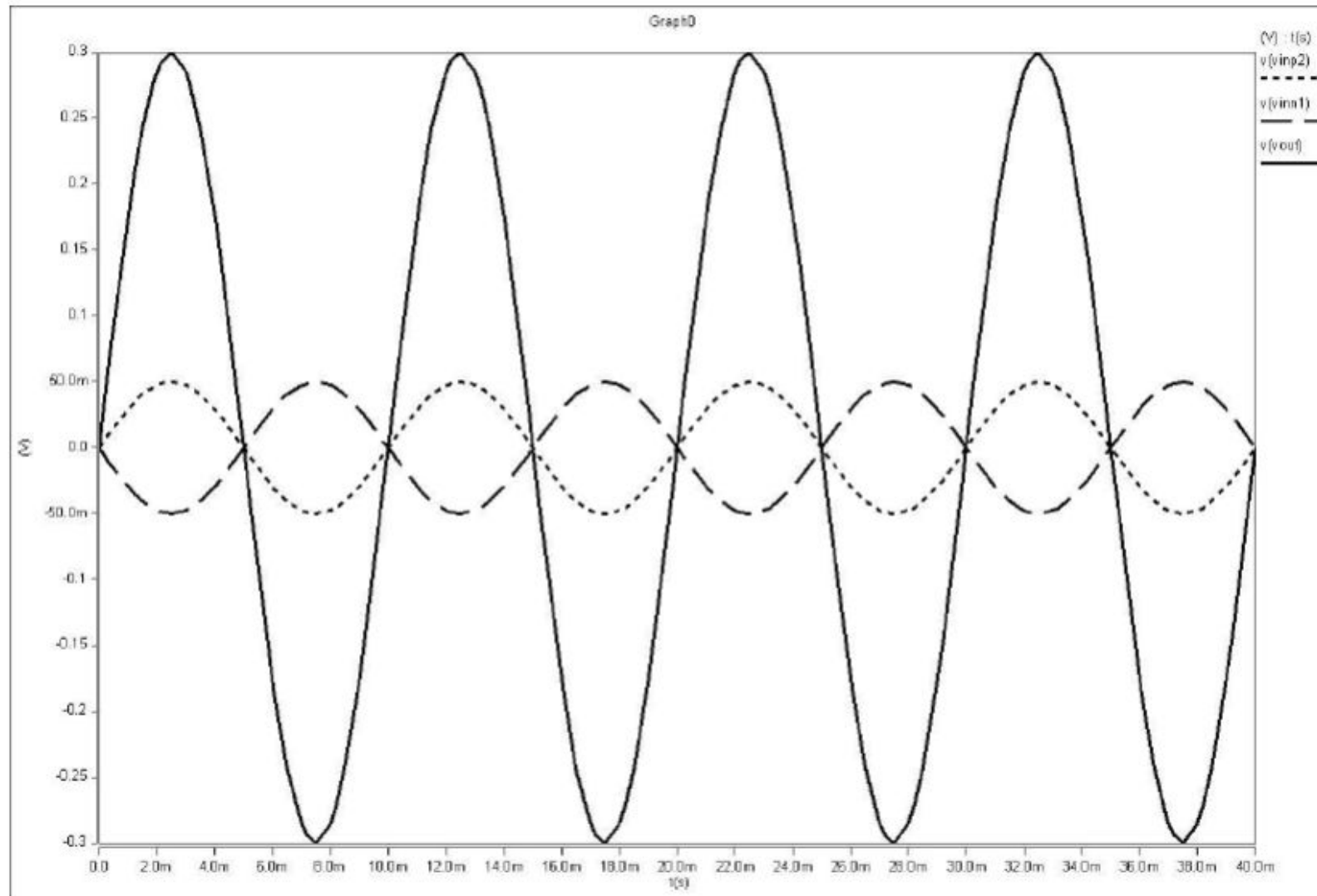
仕様

	FBDDA	OPアンプ
DC利得	108.1[dB]	108.2[dB]
位相余裕	64.3[°]	67.1[°]
カットオフ周波数	71.9[Hz]	36.3[Hz]
ユニティゲイン周波数	17.5[MHz]	12.7[MHz]
入力範囲	-2.2~2.0[V]	-2.2~2.0[V]
出力範囲	-0.3~0.3[V]	-2.4~2.4[V]
消費電力	981[μW]	301[μW]

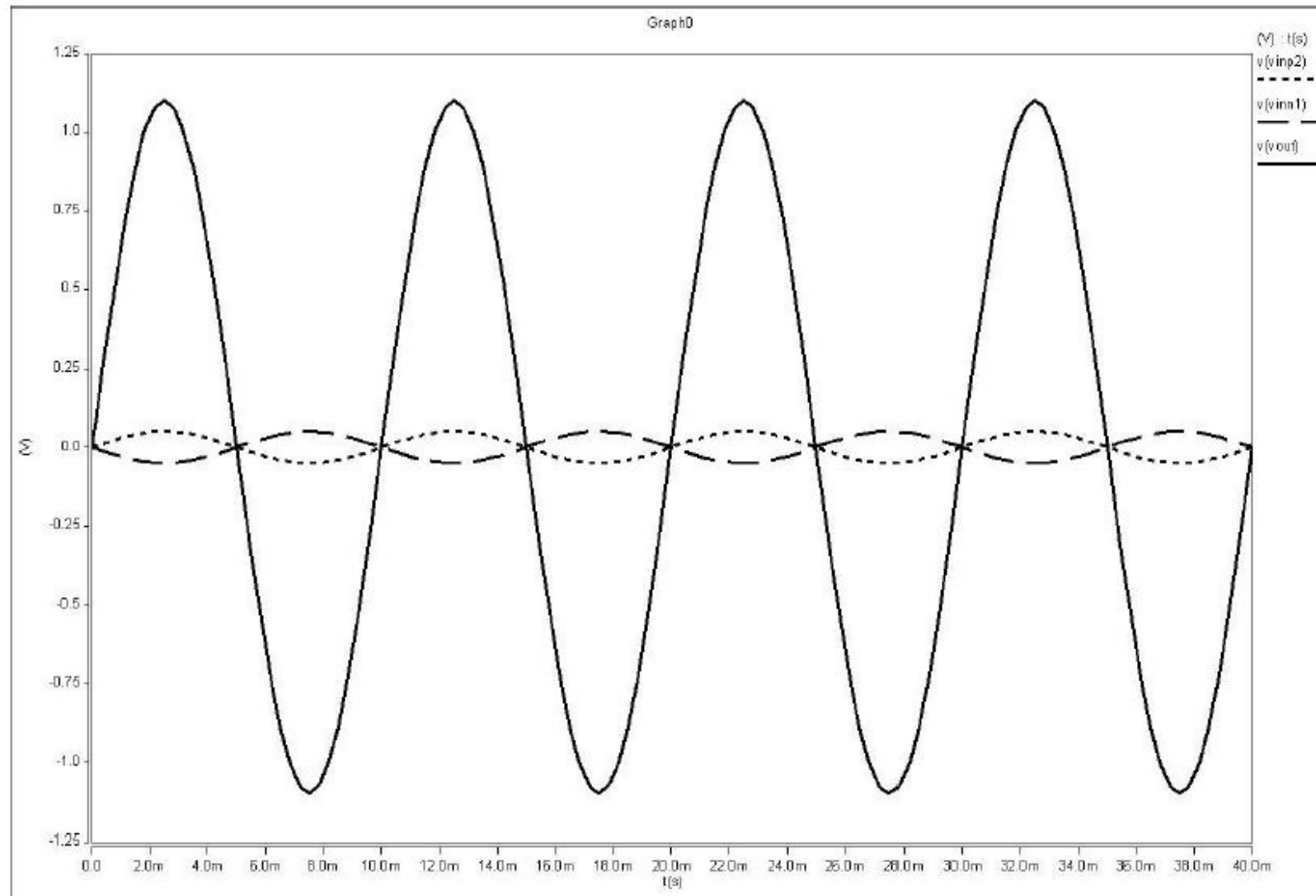
シミュレーション結果



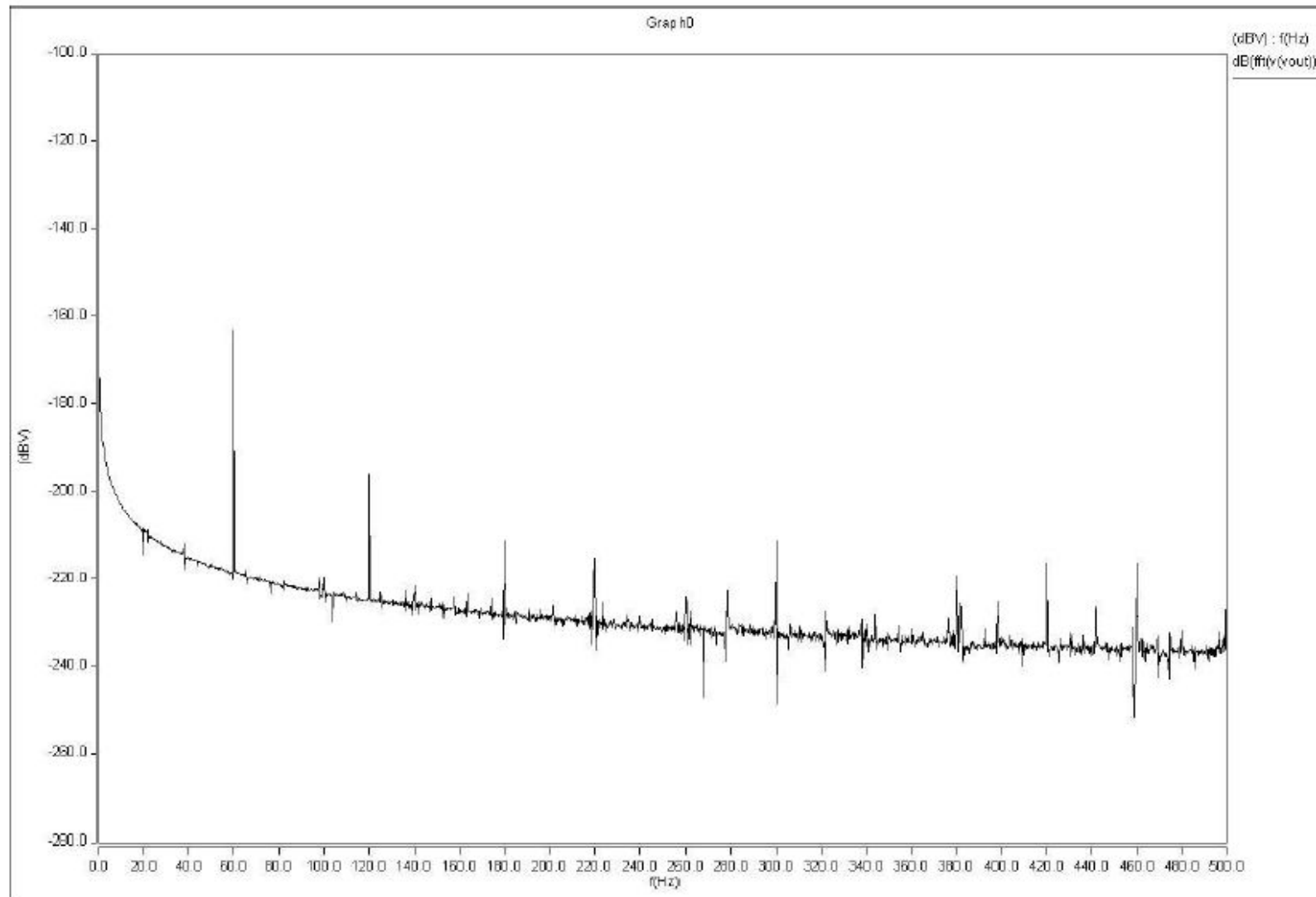
シミュレーション結果



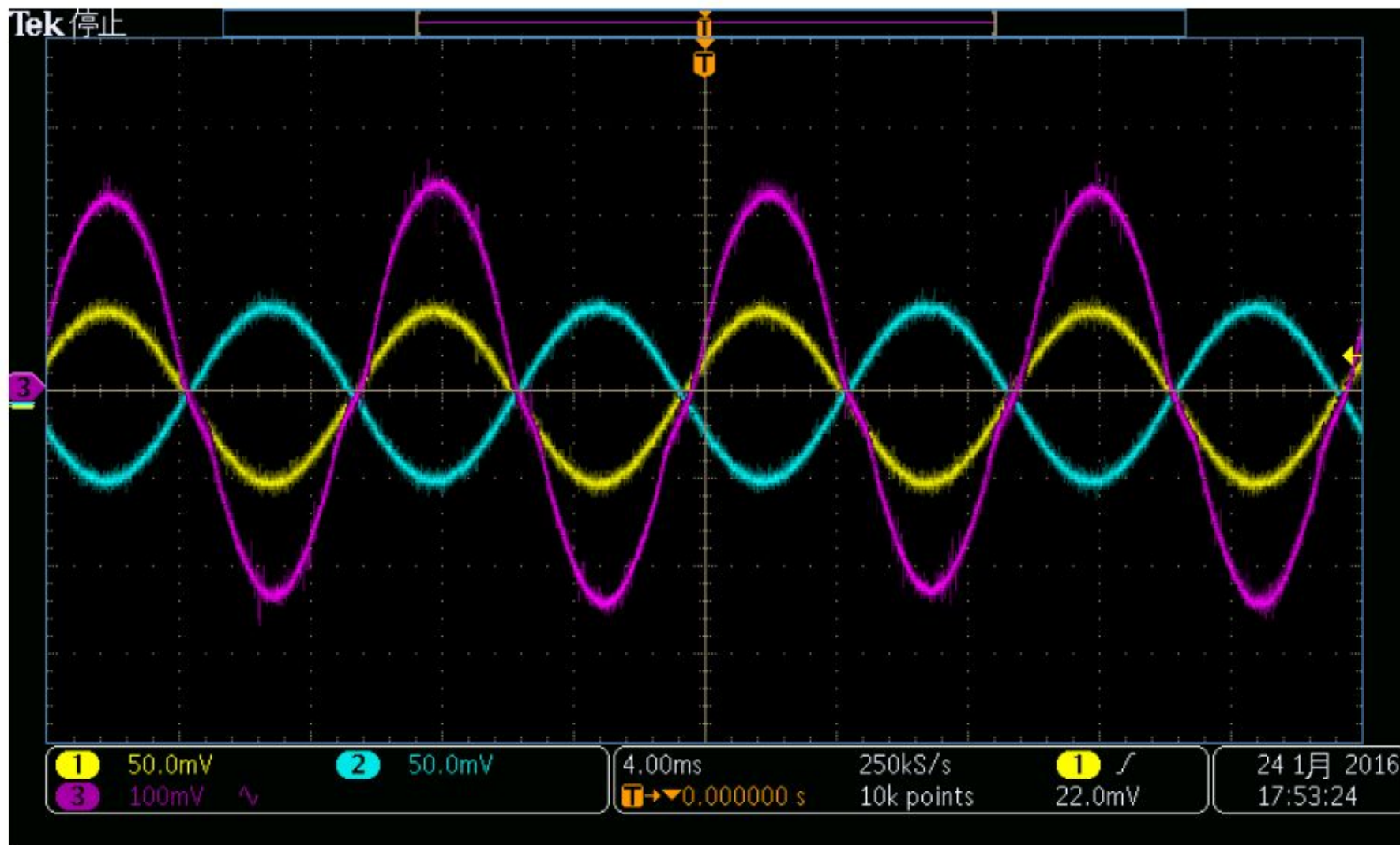
シミュレーション結果



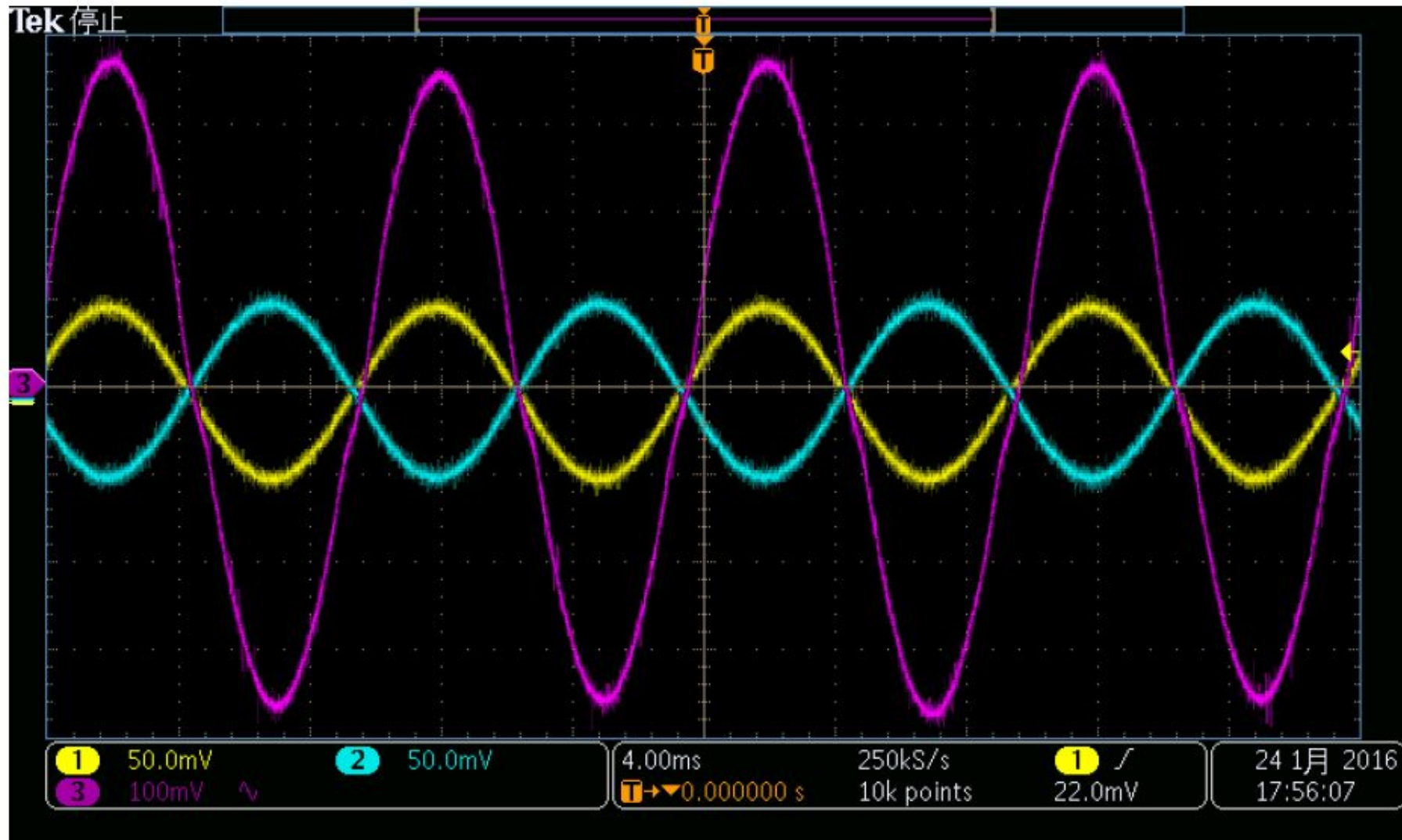
シミュレーション結果



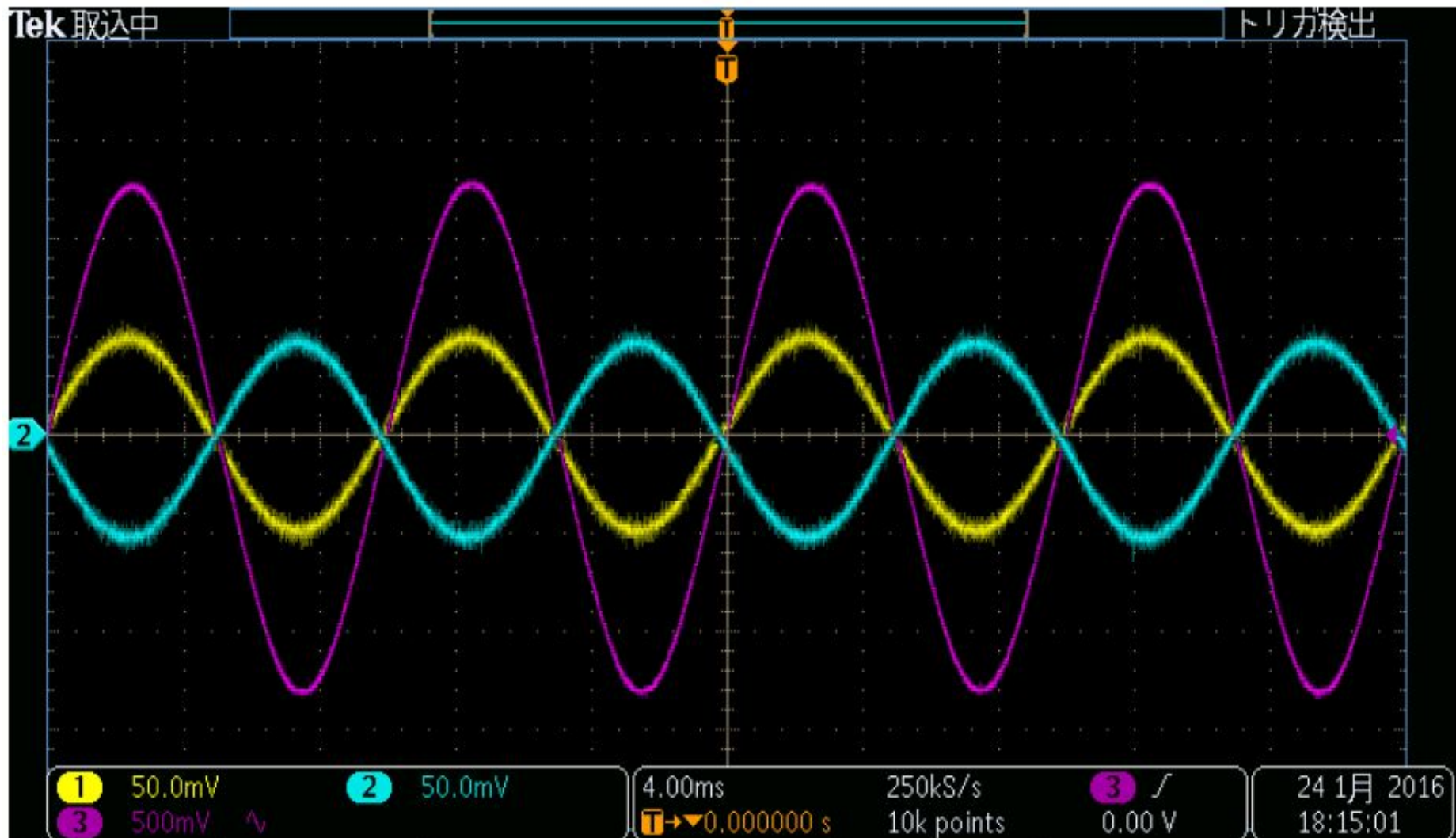
測定結果



測定結果



測定結果



測定結果

